

チョップコンパレータを用いた LTPS-TFT 向け DC-DC コンバータの出力電圧特性

水野孝彦*1, 林田和哉*1, 吉田正廣*2

Output Voltage Characteristics of a DC-DC Converter Using Chopper Comparators for LTPS-TFT

by

Takahiko MIZUNO*1, Kazuya HAYASHIDA*1 and Masahiro YOSHIDA*2

(received on March 30, 2011 & accepted on August 31, 2011)

Abstract

Recently, the market for mobile electronic devices such as smart phones and PDAs (Personal Digital Assistance) has been growing rapidly. The LCDs (Liquid Crystal Display), which are used by the mobile electric devices, are needed more compact size and low cost. SoG (System on Glass) technology using LTPS-TFT (Low Temperature Poly Silicon Thin Film Transistor) is useful technology in order to meet these demands. However, dispersion in the crystallization process leads to poor uniformity. So the some circuits using LTPS-TFT such as an analog buffer, an OP amp. are not stable operations because of large device mismatch dependence. To overcome this problem, we propose a DC-DC converter using chopper comparators and SoG technology. The proposed DC-DC converter has small device mismatch dependence. To verify output voltage characteristics of the proposed DC-DC Converter, the circuit analysis carried out by using the simulation program Smart-SPICE. As a result, the maximum deviation rate of the output voltage of the proposed circuit is reduced 27.3[%] in comparison with the conventional one. The power efficiency of the proposed circuit is improved 8.9[%] in comparison with that of the conventional one.

Keywords: DC-DC Converter, LTPS-TFT, System on Glass, LCD

キーワード: DC-DC コンバータ, LTPS-TFT, システムオンガラス, LCD

1. 概要

近年, スマートフォンやタブレットデバイス, PDA (Personal Digital Assistant) といった小型電子機器の利用が急速に進展している. そしてそれら小型電子機器の表示デバイスとして LCD (Liquid Crystal Display: 液晶ディスプレイ) や有機 EL ディスプレイ (Organic Electro Luminescence Display) が多く使用されている.

小型電子機器の高機能化と普及に伴い, LCD には高精細な画面を小型かつ低コストで実現することが求められている. こうした要求を実現するものとして, LTPS-TFT (Low-Temperature Poly-Silicon Thin Film Transistor: 低温ポリシリコン薄膜トランジスタ) を用いて各種回路を実現する技術が注目を集めている.

LTPS-TFT はキャリア移動度が高く, また n チャネル TFT と p チャネル TFT が形成できる特徴を有している. このため, LTPS-TFT はディスプレイの画素回路向けの素子としてだけでなく, 従来, 外部 IC によって構成される CMOS (Complementary Metal Oxide Semiconductor) 回路をベースとした周辺駆動回路や DAC (Digital to Analog Converter), ADC (Analog to Digital Converter) などの構

成素子として用いることができる. したがって, LTPS-TFT を用いるとディスプレイの画素回路だけではなくそれを駆動する周辺回路も同一のガラス基板に集積化することが可能なため, LCD の小型化を実現することができる. こうした技術は SoG (System on Glass: システムオンガラス) 技術と呼ばれている.

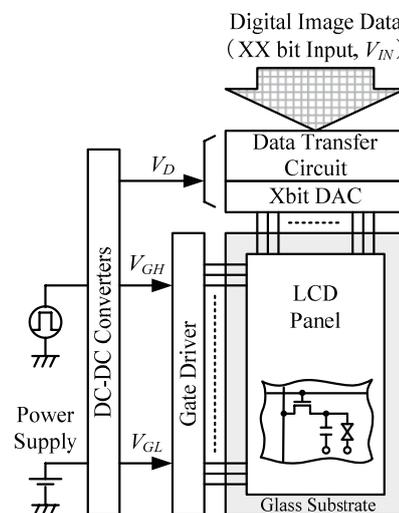


Fig.1 LCD panel and driver circuits

*1 工学研究科情報通信制御システム工学専攻修士課程
*2 工学研究科情報通信制御システム工学専攻教授

Fig.1 に示すように、LCD パネルを駆動するには、昇圧回路とレギュレータで構成された DC-DC コンバータから安定した高電圧をドライバ回路へ供給する必要がある。しかし、従来のアナログ動作をするシリアルレギュレータから成る DC-DC コンバータを LTPS-TFT を用いて構成すると、LTPS-TFT の素子値は製造過程で大きくばらつくため、回路の安定な動作が実現しにくい問題がある。そこで本文では、この問題を解決するために、レギュレータ部分にチョップコンパレータを用いた LTPS-TFT 向け DC-DC コンバータを提案する。また、Smart-SPICE シミュレーションにより、提案回路の動作特性について検討する。それにより、LTPS-TFT の素子値がばらついても、提案回路が安定な動作をすることを明らかにする。

2. 従来回路の構成と問題点

従来のアナログ動作をする DC-DC コンバータを Fig.2 に示す。この回路は、ダブルチャージポンプ回路、シリアルレギュレータで構成される。ここで、 V_{REF} は基準電圧、 V_{BIAS} はバイアス電圧、 ϕ_1, ϕ_2 はクロック信号、 V_{OUT} は DC-DC コンバータの出力電圧、 I_{OUT} は負荷電流である。この回路は、ダブルチャージポンプ回路によって電源電圧 V_{DD} を 2 倍の V_{DD} (Fig.1 では V_{CH} と表示) に昇圧した後、シリアルレギュレータによって V_{OUT} をアナログ的に制御し、 V_{REF} と R_1, R_2 によって決まる設計電圧値に V_{OUT} を維持する回路である。この回路の出力電圧 V_{OUT} は次式で与えられる¹⁾。

$$V_{OUT} = \frac{R_1 + R_2}{R_2} V_{REF} \quad (1)$$

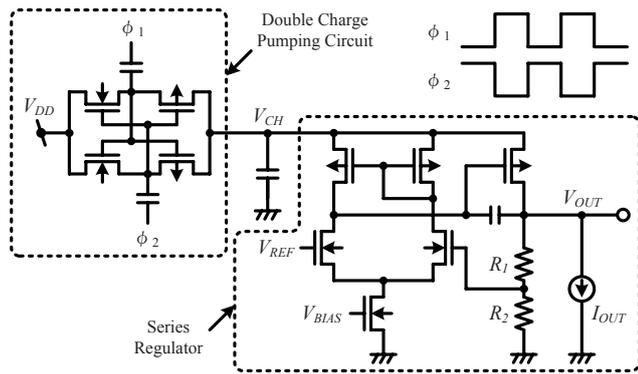


Fig.2 Conventional DC-DC Converter

Fig.2 のシリアルレギュレータから成る DC-DC コンバータを LTPS-TFT を用いて構成すると、LTPS-TFT の素子値は製造過程で大きくばらつくため、カレントミラー回路や差動入力端子を構成するトランジスタ対の特性が一致しない。このため、安定な回路動作が実現しにくい問題がある。

3. 提案回路の構成と動作原理

従来の DC-DC コンバータの問題点を解決するために、チョップコンパレータと降圧型チャージポンプ回路を用いた素子値のばらつきに強い DC-DC コンバータを提案する。Fig.3 に提案する DC-DC コンバータの回路構成を示す。提案回路は、ダブルチャージポンプ回路、レベルシフタ、出力トランジスタ、チョップコンパレータを用いた OVCC (Output Voltage Control Circuit : 出力電圧制御回路)、降圧型チャージポンプ回路を用いた SCVD (Switched Capacitor Voltage Divider : SC 型分圧器) とそれを制御するクロックブースタから構成される。この回路は、 V_{DD}, V_{REF} , 4 相のクロック信号 $\phi_1, \bar{\phi}_1, \phi_2, \bar{\phi}_2$ によって動作する。

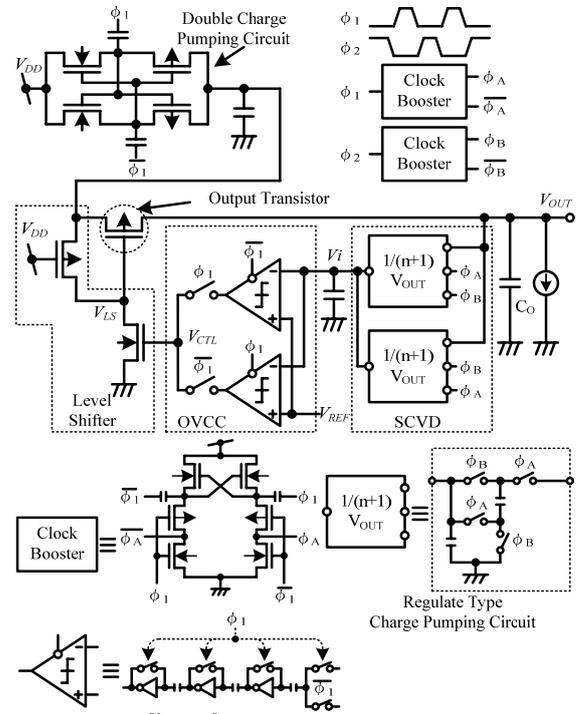


Fig.3 Proposed DC-DC Converter

まず、Fig.3 に示す降圧型チャージポンプ回路の動作を説明する。1 段構成の降圧型チャージポンプ回路を Fig.4 に示す。この回路は 2 つのキャパシタおよび 4 つのスイッチ $T_1 \sim T_4$ (実際には LTPS-TFT で構成されている。ここで、Fig.3 に示すように V_i は降圧型チャージポンプ回路から OVCC へ出力される電圧、 V_{OUT} は DC-DC コンバータの出力電圧である。また、 ϕ_A, ϕ_B はクロックブースタによって生成される $2V_{DD}$ の振幅を有する互いにオーバーラップしない 2 相のクロック信号であり、それらはスイッチの ON/OFF を制御している。Fig.4 より明らかなように 1 段構成の降圧型チャージポンプ回路はスイッチの動作により T_1 および T_4 が ON の時にはキャパシタを並列接続、 T_2 および T_3 が ON の時にはキャパシタを直列接続することで V_{OUT} の半分の電圧を V_i として出力する回路である。

十分な回数のスイッチングが行われた場合の定常状態

では V_i は,

$$V_i = \frac{1}{2} V_{OUT} \quad (2)$$

に収束する²⁾. 式 (2) は降圧型チャージポンプ回路を 1 段構成にした場合であるが, n 段構成の降圧型チャージポンプ回路の V_i は

$$V_i = \frac{1}{(n+1)} V_{OUT} \quad (3)$$

となる.

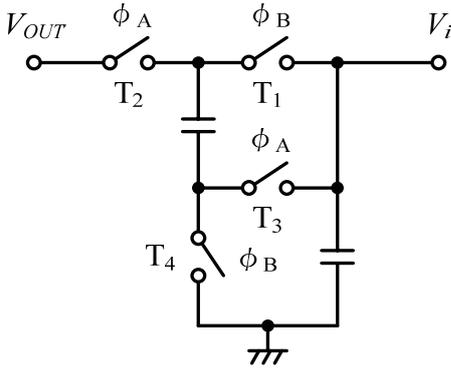


Fig.4 Regulate Type Charge Pumping Circuit (n=1)

また, 例えば, $n=4$ としたときの降圧型チャージポンプ回路は Fig.5 のようになる.

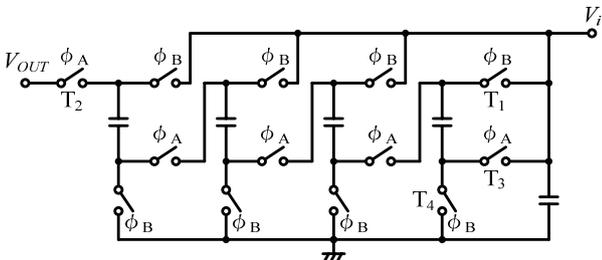


Fig.5 Regulate Type Charge Pumping Circuit (n=4)

次に, OVCC に用いるチョップパコンパレータの動作原理について述べる. チョップパコンパレータの構成図を Fig.6 に示す. チョップパコンパレータは, 1つのキャパシタ, 3つのスイッチ $T_5 \sim T_7$ (実際には LTPS-TFT で構成する), n-ch TFT と p-ch TFT で構成された1つの CMOS インバータで構成される. この回路は, スイッチ T_5 および T_7 が閉じた時のリセット動作と, スイッチ T_6 が閉じて, $V_i - V_{REF}$ が正の時には V_{CTL} に LOW (0V) を出力し, $V_i - V_{REF}$ が負の時には V_{CTL} に HIGH (V_{DD}) を出力する比較動作を交互に繰り返す回路である. チョップパコンパレータの出力電圧 V_{CTL} は次式で与えられる³⁾.

$$V_{CTL} = V_{INV} - |\alpha| (V_i - V_{REF}) \quad (4)$$

ここで, V_{INV} はインバータの回路しきい電圧, α はインバータの利得で理想的には ∞ の値をとる. 式 (4) より,

インバータの飽和特性のために, $V_i - V_{REF}$ が正の時に V_{CTL} は LOW (0V) となり, $V_i - V_{REF}$ が負の時に V_{CTL} は HIGH (V_{DD}) となる³⁾. この回路を用いて DC-DC コンバータを実現する場合, この回路はリセット期間があるために出力電圧を制御しない時間ができてしまい V_{OUT} の電圧リップルが大きくなってしまふ. それを防ぐため, 提案 DC-DC コンバータでは逆相で動作するチョップパコンパレータを並列に接続している. それにより, 常にどちらか一方のチョップパコンパレータが比較動作を行い, V_{OUT} を常に制御できるため V_{OUT} の電圧リップルを低減できる.

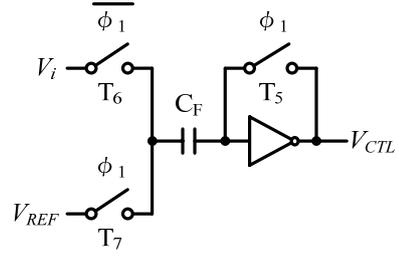


Fig.6 Chopper Comparator

最後に Fig.3 の提案回路全体の動作原理を述べる. まず, クロックブースタにより ϕ_1, ϕ_2 の 2 倍の振幅を有する ϕ_A, ϕ_B を発生し, その ϕ_A, ϕ_B によって SCVD を制御して V_{OUT} の半分の電圧 $V_i (= V_{OUT}/2)$ を生成して OVCC に供給する. V_i が OVCC に供給されている基準電圧 V_{REF} よりも小さい時, OVCC の出力 V_{CTL} にはコンパレータの動作により HIGH (V_{DD}) が出力され, 制御電圧 V_{LS} が GND (0V) となる. その結果, 出力トランジスタが ON することで負荷容量 C_O が充電され V_{OUT} が上昇する. 一方, V_i が V_{REF} よりも大きい時, V_{CTL} には LOW (0V) が出力され, V_{LS} が HIGH (V_{DD}) となる. その結果, 出力トランジスタが OFF することで C_O が放電するために V_{OUT} が低下する. この動作を繰り返すことによって V_{OUT} は設計電圧で保持される.

Fig.3 および式 (3) より, $V_i = V_{REF}$ でチョップパコンパレータが ON/OFF を繰り返すので, 提案 DC-DC コンバータの V_{OUT} は

$$V_{OUT} = (n+1) V_{REF} \quad (5)$$

で与えられる. 式 (5) より, n と V_{REF} を変化することによって, V_{OUT} を所望の電圧 (設計電圧) に設定できる.

4. シミュレーション結果

提案 DC-DC コンバータの出力電圧特性を回路シミュレーションソフト Smart-SPICE により検討した. 回路の動作条件を Table 1, シミュレーションに用いた LTPS-TFT のデバイスパラメータを Table 2 にそれぞれ示す.

Table 1 Simulation Conditions

Power Supply Voltage V_{DD}	+5 [V]
Load Current I_{OUT}	10~100[uA]
Clock Frequency f	1[MHz]
Output Voltage V_{OUT}	+8[V]
Number of Stages n	1
Reference Voltage V_{REF}	+4[V]
Output Voltage Deviation Rate	<3[%]
Temperature	+25[°C]

Table 2 Device Parameter

	n-ch TFT	p-ch TFT	Unit
Threshold Voltage V_{TH}	$1.35 \pm 40\%$	$-1.60 \pm 30\%$	V
Channel Width W	4~100	4~100	um
Channel Length L	7.5	5.5	um
Gate Oxide Thickness T_{OX}	720	720	Å
Mobility μ_0	$214 \pm 30\%$	$104 \pm 20\%$	cm ² /V

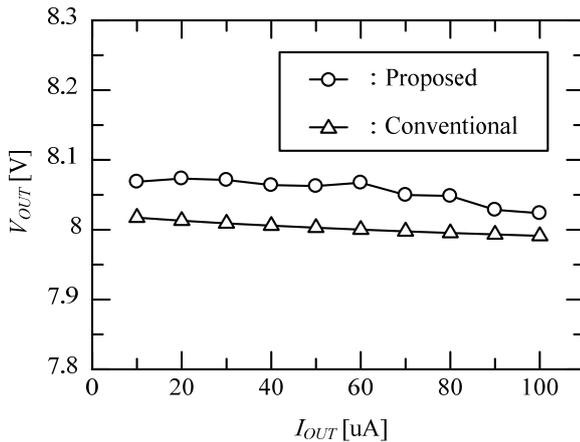


Fig.7 Load Regulation Characteristics

負荷電流 I_{OUT} に対する出力電圧 V_{OUT} の特性を Fig.7 に示す. I_{OUT} の変動に対して, 提案回路の V_{OUT} は 8.02~8.07[V], 従来回路の V_{OUT} は 7.99~8.02[V] であり, どちらの回路も設計電圧である 8[V] を出力していることがわかる.

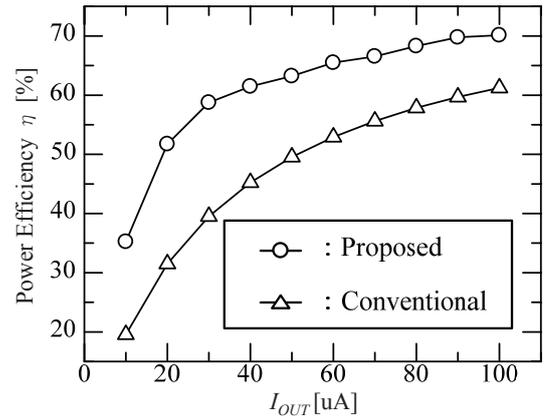
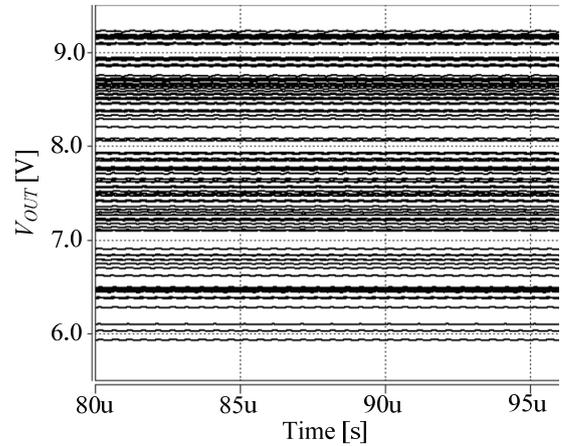
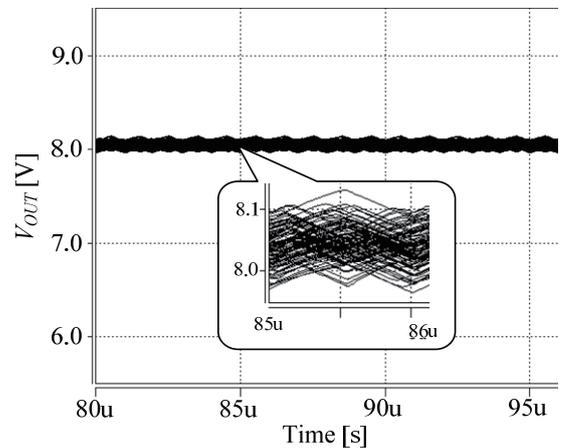


Fig.8 Power Efficiency

I_{OUT} に対する電力効率 η を Fig.8 に示す. $I_{OUT}=100[\text{uA}]$ の時, 提案回路の電力効率は 70.1[%], 従来回路の電力効率は 61.2[%] であり, 従来回路に比べて提案回路の電力効率は 8.9[%] 向上していることがわかる. これは, 提案回路が設定電圧値を定めるのに分圧抵抗を用いていないため, 分圧抵抗が消費する電力を抑えることができたためである.



(a) Conventional Circuit



(b) Proposed Circuit

Fig. 9 Output Voltage Characteristics

次に、素子値のばらつきに対する回路の動作特性を検討するためにモンテカルロ法によるシミュレーションを行った。 $I_{OUT}=100[\mu A]$ とし、各シミュレーションは 100 回行った。 Fig.9 にモンテカルロシミュレーションによる出力電圧特性を示す。 Fig.9 (a) より、従来回路の V_{OUT} は設計電圧 8[V] に対して 5.7[V]~9.3[V] と素子値のばらつきの影響を大きく受け、 V_{OUT} の最大ばらつき (率) が 2300[mV] (28.8%) であった。 それと比較して、 Fig.9 (b) に示すように提案回路の V_{OUT} は設計電圧 8[V] に対して 7.97[V]~8.12[V] と素子値のばらつきの影響が低く抑えられている。 この場合の V_{OUT} の最大ばらつき (率) は 120[mV] (1.5%) と、従来回路に比べて素子値のばらつきに対する出力電圧のばらつきは 27.3[%] 低減している。

以上の解析結果をまとめたものを Table.3 に示す。 Table.3 より、提案回路は従来回路に比べて動作特性が大幅に改善していることがわかる。

Table 3 Performance Comparison

	Conventional	Proposed
Output Voltage V_{OUT} [V]	5.7~9.3	7.97~8.12
Output Voltage Deviation [mV]	2300	120
Output Voltage Deviation Rate [%]	28.8	1.5
Power Efficiency η [%]	61.2	70.1

5. まとめ

チョップパコンパレータと SoG 技術を用いた DC-DC コンバータを提案した。 また、提案 DC-DC コンバータが設計通りに動作することを回路シミュレーションソフト Smart-SPICE を用いて検証した。 その結果、提案回路は、従来回路に比べ出力電圧ばらつき率が 27.3[%] 低減することを明らかにした。 また、提案回路の電力効率は従来の回路よりも 8.9[%] 向上することを示した。 提案 DC-DC コンバータでも素子値のばらつきの影響を完全に除去できなかった原因は、トランジスタの特性ばらつきによりレベルシフトの回路しきい値がばらつき、その結果 V_{LS} がばらつくことと、出力トランジスタのオン抵抗がばらつくために、負荷容量 C_O の電荷の充放電速度がばらつくためであると考えられる。

本文では、回路シミュレータを用いた回路解析により出力電圧特性や電力効率において、提案回路が従来回路に比べて優れた動作特性を有していることを明らかにした。 しかしながら、ノイズ耐性やレイアウト設計による面積比較などの検討を行っていない。 また、本研究では

トランジスタが理想スイッチとして動作すると仮定した。 しかし、実際にはトランジスタのチャネル電荷の分配やクロックのフィードスルー等の問題が考えられる。 今後はこれらの問題が提案回路の動作特性にどのような影響を及ぼすかについて、式 (2) の適用限界も含めて検討する必要がある。 今後はこれらについて研究を進めると共に、ガラス基板上に提案回路を試作し、実チップで動作特性の検討を行う予定である。

謝辞

本研究を進めるにあたり、多くの御鞭撻を頂いた鈴木八十二氏に深く感謝いたします。

参考文献

- 1) 鈴木八十二, “LTPS-TFT技術を用いたSOG/SOF用新しい高速論理回路と電力供給システム”, 薄膜材料デバイス研究会第3回研究集会, pp.18-21, 2006年11月
- 2) Y. Nonaka, H. Tsuchi, H. Haga, H. Asada, H. Hayama, N. Takada, K. Sera, and H. Uchida, "A DC-DC converter circuit integrated into a Poly-Si TFT LCD containing a 6-bit DAC," Society for Information Display 2003, No.51.1, pp.1392-1395, May 2003
- 3) 廣瀬哲也, 浅井哲也, 雨宮好仁, "サブスレッショルドMOS LSIのためのスイッチトキャパシタ型DC-DCコンバータ", 第19回回路とシステム軽井沢ワークショップ, No.Ba2-2, pp.405-410, 2006年4月
- 4) 辻川琢也, 廣瀬哲也, 大崎勇士, 黒木修隆, 沼昌宏, “デューティ制御回路を用いたスイッチトキャパシタ型DC-DCコンバータ”, 2010年電子情報通信学会総合大会, C-12-64, pp.141, 2010年3月
- 5) H. Sakai, K. Oikawa, T. Saito, “INVERTER CIRCUIT AND CHOPPER TYPE COMPARATOR CRICUIT USING THE SAME” United States Patent, 5036223, July 1991